**I. Información general**

Grupo No. 01. Proyecto No. 2 Fecha: 8/8/18.

Nombre del Proyecto: Introducción a los lenguajes de descripción de hardware.

Sesión No.1.

Marque con una X la modalidad de la sesión:

Presencial (X )

En línea ()

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Arturo Chinchilla Sánchez |
| Secretariado | Jorge Agüero Zamora |
| Fiscal | Luis Fernando Murillo Rios |

**II. Minuta**

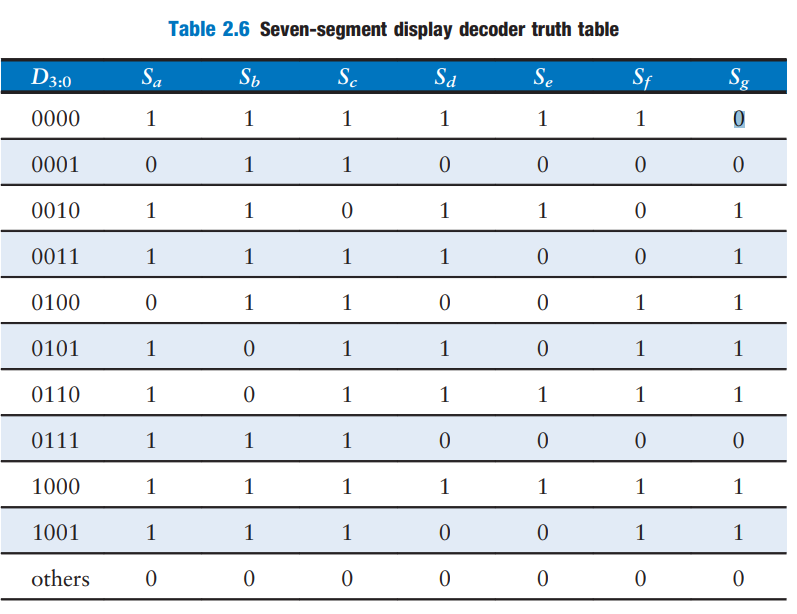
Objetivos de la sesión

1. Leer y discutir el laboratorio
2. Iniciar investigación del laboratorio
3. Iniciar modelado del decodificador

Basándose en la información del libro ¨Digital Design and Computer Architecture¨ recomendado en el laboratorio, Jorge se dió à la búsqueda de las respuestas a las preguntas de investigación. Faltó investigar las FPGAs.

Se utilizó Quartus para montar el diseño de comportamiento del decodificador de 7 segmentos, Arturo se dió la tarea de crear el proyecto y el archivo. Procedió a explicar el funcionamiento del código, y juntos intentaron hacer una simulación del módulo. Se tuvo problemas corriendo la simulación puesto que se encontraban errores de compilación. Al consultar con el profesor se descubrió que se debía cambiar el lenguaje de compilación a VHDL 2008 para que soportara las últimas actualizaciones de sintaxis del lenguaje. El compañero Luis no pudo asistir à la sesión por motivos personales de importancia.

Tabla de verdad para el decodificador del display 7 segmentos:



|  |  |  |
| --- | --- | --- |
| **Acuerdos** | **Responsable** | **Fecha de entrega** |
| Investigar FPGA | Jorge | 10/8/18 |
| Crear testbench 7 segmentos | Arturo | 10/8/18 |

--------------------------------------------------------------------------------------------------------------------------------

**I. Información general**

Grupo No. 01. Proyecto No. 2 Fecha: 10/8/18.

Nombre del Proyecto: Introducción a los lenguajes de descripción de hardware.

Sesión No.2.

Marque con una X la modalidad de la sesión:

Presencial (X )

En línea ()

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Arturo Chinchilla Sánchez |
| Secretariado | Jorge Agüero Zamora |
| Fiscal | Luis Fernando Murillo Rios |

**II. Minuta**

Objetivos de la sesión

1. Probar el testbench del 7 segmentos
2. Construir módulo de sumador y contador
3. Hacer los testbench del sumador y contador

Durante la sesión el profesor proveyó las FPGAs a los estudiantes e impartió instrucciones de como poder programarlas usando el software de Quartus, por lo que la mayoría de la sesión se utilizó en hacer pruebas sobre la FPGA. En conjunto se logró modificar y programar el módulo decodificador para el 7 segmentos en la FPGA. Se tuvo problemas puesto que los 7 segmentos de la FPGA funcionan con lógica negativa, y el decodificador estaba programado con lógica positiva, por lo que se debieron arreglar las salidas del decodificador. El compañero Arturo no se pudo presentar en la sesión por motivos personales de importancia.

|  |  |  |
| --- | --- | --- |
| **Acuerdos** | **Responsable** | **Fecha de entrega** |
| Reunión 13 de agosto | Jorge, Arturo, Luis | 13/8/18 |

--------------------------------------------------------------------------------------------------------------------------------

**I. Información general**

Grupo No. 01. Proyecto No. 2 Fecha: 13/8/18.

Nombre del Proyecto: Introducción a los lenguajes de descripción de hardware.

Sesión No.3.

Marque con una X la modalidad de la sesión:

Presencial ( )

En línea (x)

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Arturo Chinchilla Sánchez |
| Secretariado | Jorge Agüero Zamora |
| Fiscal | Luis Fernando Murillo Rios |

**II. Minuta**

Objetivos de la sesión

1. Probar la simulación de los testbenches creados
2. Continuar con la construcción del sumador y el contador

Para la creación del sumador de 4 bits, Luis debió hacer primero un modelado conceptual de un sumador de 1 bit, luego hizo un modelado estructural del sumador de 4 bits formado por 4 sumadores de 1 bit. Se volvió a tener problemas con la sintaxis del programa, pero al haber enfrentado este problema ya en el pasado se logró configurar correctamente Quartus para que el programa compilara.

Para la creación del contador sincrónico de 4 bits se hizo un modelado de comportamiento utilizando Flip Flops sincrónicos. Jorge debió investigar el uso de *always\_ff* en SystemVerilog para poder crear el módulo que trabaja según una entrada de reloj. Para que el módulo sea sincrónico la función *alwayss\_ff* solo debe tener de entrada la señal de clock, mientras que en asincrónico también tendrá la señal de reset, u otra que se utilice.

Se logró crear ambos módulos y compilarlos correctamente. Y se simuló correctamente el comportamiento del 7 segmentos con el testbench creado por Arturo.

|  |  |  |
| --- | --- | --- |
| **Acuerdos** | **Responsable** | **Fecha de entrega** |
| Agregar investigación al informe | Jorge | 16/8/18 |
| Hacer testbench sumador | Luis | 16/8/18 |
| Hacer testbench contador | Arturo | 16/8/18 |

--------------------------------------------------------------------------------------------------------------------------------

**I. Información general**

Grupo No. 01. Proyecto No. 2 Fecha: 16/8/18.

Nombre del Proyecto: Introducción a los lenguajes de descripción de hardware.

Sesión No.4.

Marque con una X la modalidad de la sesión:

Presencial ( )

En línea (x)

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Arturo Chinchilla Sánchez |
| Secretariado | Jorge Agüero Zamora |
| Fiscal | Luis Fernando Murillo Rios |

**II. Minuta**

Objetivos de la sesión

1. Probar los últimos testbenches
2. Diseñar los módulos que se programaran en la FPGA

Arturo escribió los test benches para los módulos y ya los había probado. Explicó el código a los compañeros y mostró las simulaciones. Se procedió a discutir los diseños para mostrar la funcionalidad del sumador y contador, puesto que estos debían integrarse con el diseño del decodificador de 7 segmentos. Jorge investigó sobre cómo se pueden interfazar los lenguajes de VHDL y SystemVerilog, y encontró que SystemVerilog permite instanciar los módulos de VHDL como lo haría cualquier otro módulo mientras que el archivo de especificación se encuentre importado en el proyecto. Por lo que juntos se procedió a crear el módulo estructural que instancia el contador y el decodificador de 7 segmentos y une las salidas del sumador a las entradas del decodificador para mostrar su funcionamiento. Se logró escribir el programa y que compilara pero no se pudo probar en la FPGA.

|  |  |  |
| --- | --- | --- |
| **Acuerdos** | **Responsable** | **Fecha de entrega** |
| Llevar FPGA para pruebas | Luis | 17/8/18 |

--------------------------------------------------------------------------------------------------------------------------------

**I. Información general**

Grupo No. 01. Proyecto No. 2 Fecha: 17/8/18.

Nombre del Proyecto: Introducción a los lenguajes de descripción de hardware.

Sesión No.5.

Marque con una X la modalidad de la sesión:

Presencial (x )

En línea ()

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Arturo Chinchilla Sánchez |
| Secretariado | Jorge Agüero Zamora |
| Fiscal | Luis Fernando Murillo Rios |

**II. Minuta**

Objetivos de la sesión

1. Probar el módulo de contador con 7 segmentos en la FPGA
2. Crear módulo para probar el sumador con el 7 segmentos

Se tuvo que volver a buscar la lista de los pines para la FPGA. Se presentó un contratiempo puesto que se debió volver a escribir el módulo de sumador, ya que el archivo que se tenía no era accesible. El grupo en conjunto volvió a crear el sumador, luego se dió a la tarea de hacer el test bench para este y simularlo. Una vez simulado se procedió a crear el módulo del 7 segmentos con el sumador. Al programar la FPGA se tuvo problemas puesto que la lógica del 7 segmentos estaba positiva, y se hizo un mapeo incorrecto de los pines del 7 segmentos. Después de revisar meticulosamente los pines programados para las salidas del 7 segmentos se volvió a realizar la prueba, obteniendo aún así una respuesta errática en el 7 segmentos. Se debió concluir la sesión en este momento y el profesor procedió a la revisión. El compañero Arturo no se pudo presentar en la sesión por motivos personales de importancia.